

## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 08 日  
Application Date

申請案號：092121765  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 15 日  
Issue Date

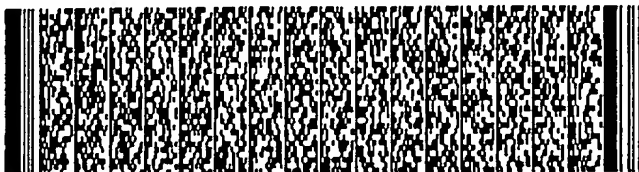
發文字號：09221037790  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	鑲嵌式閘極製程
	英 文	Damascene Gate Process
二、 發明人 (共2人)	姓 名 (中文)	1. 郝中蓬 2. 陳逸男
	姓 名 (英文)	1. Chung-Peng Hao 2. Yi-Nan Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣新莊市幸福路810號3樓 2. 台北市北投區義理街63巷2弄22號1樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-9820nuf(n)1: 91190: Phoebe.prd

#### 四、中文發明摘要 (發明名稱：鑲嵌式閘極製程)

本發明提供一種鑲嵌式閘極製程，其步驟包括：提供一依序形成有一墊層以及一蝕刻停止層的半導體基底；形成一絕緣層覆蓋該墊層以及該蝕刻停止層；移除部分之該絕緣層、該蝕刻停止層以及該墊層形成一開口；在該開口兩側壁形成保護間隙壁，且該保護間隙壁之高度低於該絕緣層；形成一閘極導電層於該開口底部；依序移除該保護間隙壁以及該絕緣層以露出部分半導體基底以及該蝕刻停止層；對露出之半導體基底進行植入形成淺摻雜區於該閘極導電層之兩側；以介電材料覆蓋該閘極導電層形成閘極間隙壁；移除該蝕刻停止層以及該墊層而露出半導體基底；以及對露出之半導體基底進行植入形成源極汲極區域。

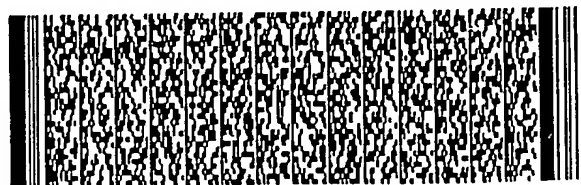
伍、(一)、本案代表圖為：第10圖。

(二)、本案代表圖之元件代表符號簡單說明：

100～半導體基底；

#### 六、英文發明摘要 (發明名稱：Damascene Gate Process)

The invention provides a damascene gate process. A semiconductor substrate having a pad layer and a etch stop layer formed thereon is provided. An insulation layer is formed to cover the etch stop layer, followed by forming an opening be partially removing the insulation layer, the etch stop layer, and the pad layer. Protective sidewall layers are then formed on the sidewalls of

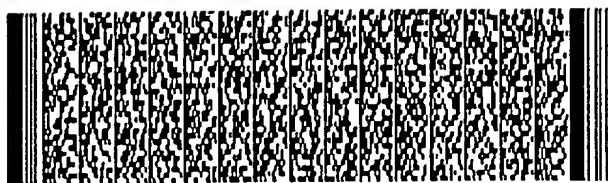


四、中文發明摘要 (發明名稱：鑲嵌式閘極製程)

110 ~ 墊層；  
115 ~ 蝕刻停止層；  
112 ~ STI；  
114 ~ STI 保護層；  
116 ~ 絕緣層；  
124' ~ 第一導電層；  
126' 第二導電層；  
130 ~ 閘極間隙壁；  
132 ~ 源極汲極區域。

六、英文發明摘要 (發明名稱：Damascene Gate Process)

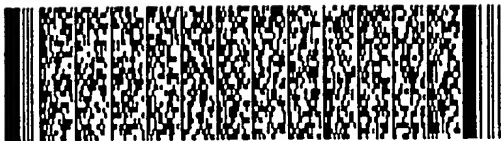
the opening, wherein the tops of the protective sidewall layers are lower than the insulation layer. A gate conductive layer is then formed in the opening. The protective sidewall layers and the insulation layer are then removed to expose partial semiconductor substrate and the etch stop layer. Implantation is then performed to form lightly doped drains on the exposed semiconductor



四、中文發明摘要 (發明名稱：鑲嵌式閘極製程)

六、英文發明摘要 (發明名稱：Damascene Gate Process)

substrate. Dielectric spacer is then formed to cover the gate conductive layer. The etch stop layer and the pad layer are then removed to expose portions of the semiconductor substrate. Implantation is then performed to form source/drain.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

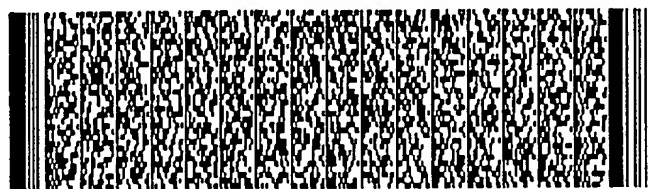
### 【發明所屬之技術領域】

本發明有關於一種鑲嵌式閘極製程，特別有關一種可用於線寬小於 $0.10\ \mu\text{m}$ 世代半導體之鑲嵌式閘極製程。

### 【先前技術】

隨著半導體製程技術之不斷進步，電晶體之閘極長度已經緊縮(scaling down)至小於 $100\ \text{nm}$ 之範圍內，而閘極氧化層之厚度也經常小於 $3\ \text{nm}$ 。習知場效電晶體之閘極製造方法主要是在矽基底上形成有二氧化矽構成的淺溝槽隔離物(shallow trench isolation)STI，以區隔出主動區域；之後依序形成一閘極氧化層和多晶矽層(polysilicon)後，施與一平坦化處理步驟，去除部分表面不平坦之多晶矽，然後再以一硬罩幕層覆蓋多晶矽層，以微影製程(photolithography)和蝕刻技術定義出一多晶矽閘極電極，之後再進行輕度摻雜汲極(lightly doped drain)離子植入，以及形成間隙壁等步驟。

習知製程通常需要多次沈積、微影製程與蝕刻技術等過程，硬罩幕的製造昂貴，且在元件更精細的情形下，也增加閘極電極製程上的難度。此外，在除去非閘極電極區域的多晶矽層與氧化層時，常會發生過度蝕刻氧化層，而損及下面之矽基底的情形，如此而來，在之後的製造方法中將會面臨該表面不平整的缺點，而可能會有接觸不良的情形。若是蝕刻不完全，更會造成閘極與閘極間，或閘極與位元線間的殘留(stringer)，而容易發生短路的情形。



## 五、發明說明 (2)

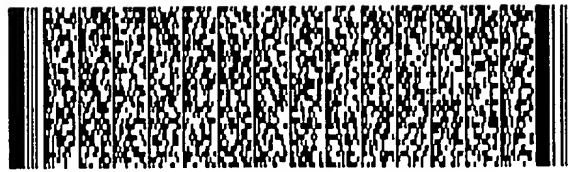
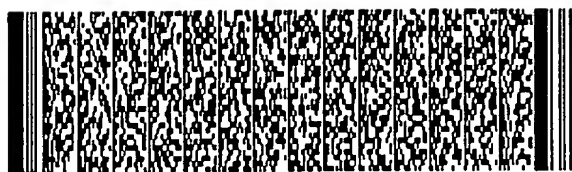
此上述習知技術之缺點即是本發明所欲解決的問題。

### 【發明內容】

有鑑於此，本發明的目的就在於提供一種鑲嵌式閘極製程，在形成淺溝隔離結構定義出主動區域之後，形成一特定尺寸的開口再藉由保護間隙壁之形成縮小開口尺寸，再以填入鑲嵌的方式形成閘極結構而完成鑲嵌式閘極之製造。

為達成上述目的，本發明提供一種鑲嵌式閘極製程，其步驟包括：提供一依序形成有一墊層以及一蝕刻停止層的半導體基底；形成一絕緣層覆蓋該墊層以及該蝕刻停止層；移除部分之該絕緣層、該蝕刻停止層以及該墊層形成一開口；在該開口兩側壁形成保護間隙壁，且該保護間隙壁之高度低於該絕緣層；形成一閘極導電層於該開口底部；依序移除該保護間隙壁以及該絕緣層以露出部分半導體基底以及該蝕刻停止層；對露出之半導體基底進行植入形成淺摻雜區於該閘極導電層之兩側；以介電材料覆蓋該閘極導電層形成閘極間隙壁；移除該蝕刻停止層以及該墊層而露出半導體基底；以及對露出之半導體基底進行植入形成源極汲極區域。

本發明之鑲嵌式閘極製程，亦可應用在已形成有淺溝隔離結構 (Shallow Trench Isolation; STI) 的半導體基底，其步驟包括：提供一形成有複數淺溝隔離結構之半導體基底，且該等淺溝隔離結構上形成有一STI保護層；





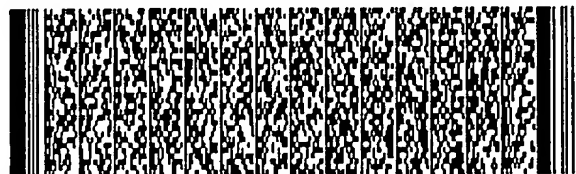
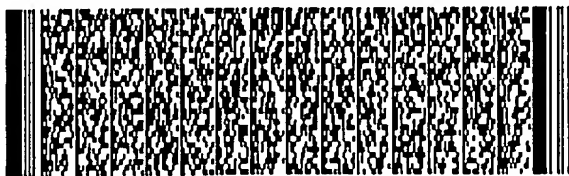
### 五、發明說明 (3)

在該等淺溝隔離結構之間依序形成有一墊層以及一蝕刻停止層；形成一絕緣層覆蓋該等淺溝隔離結構以及該蝕刻停止層；移除部分之該絕緣層、該蝕刻停止層以及該墊層形成一開口於該等淺溝隔離結構之間；在該開口兩側形成保護間隙壁，且該保護間隙壁之高度低於該絕緣層；依序以導電材料形成一第一導電層以及一第二導電層堆疊結構於該開口底部；依序移除該保護間隙壁以及該絕緣層以露出部分半導體基底以及該蝕刻停止層；對露出之半導體基底進行植入形成淺摻雜區於該第一導電層以及該第二導電層堆疊結構之兩側；以介電材料覆蓋該第一導電層以及該第二導電層之堆疊結構形成閘極間隙壁；移除該蝕刻停止層以及該墊層；以及對露出之半導體基底進行植入形成源極汲極區域。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

#### 【實施方式】

首先，請參照第1A圖，提供一其上形成有一墊層110（例如氧化層）之半導體基底100，在既定位置上還形成有二氧化矽構成的淺溝槽隔離結構(STI)112，以定義出一主動區(Active Area)，也就是位於兩個STI結構之間的區域。上述淺溝隔離結構112上還形成有以介電材料，例如氮化層(SiN)形成之STI保護層114，其形成方式可使用例



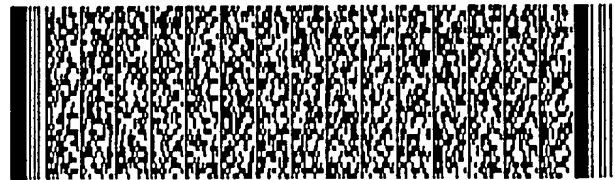
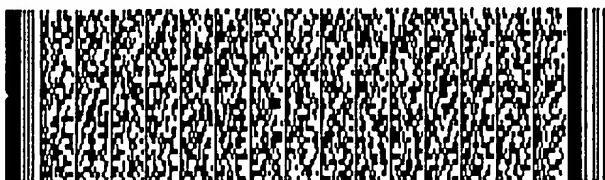
#### 五、發明說明 (4)

如低壓化學氣相沈積(LPCVD)，以二氯矽烷與氮氣為反應氣體，在攝氏250~400度的操作溫度下沈積而成。上述淺溝隔離結構之形成係屬業界廣泛使用之技術，因此在此不予贅述。

接著，在半導體基底100之主動區部分的墊層110上形成一例如氮化矽構成之蝕刻停止層115後，全面性以例如四乙氧基矽烷(tetra-ethyl-ortho-silane, TEOS)之絕緣材料構成絕緣層120，可利用例如化學氣相沈積法(chemical vapor deposition; CVD)或是高溫熱氧化法(thermal oxidation)形成。然後，利用光阻形成一圖案化光阻層(未圖示)，以蝕刻露出一貫穿該絕緣層116與墊層110'之開口118，而露出部分半導體基底，如第1B圖所示。上述開口之大小在本實施例係以 $0.11\ \mu\text{m}$ 為例，可視製程而定。

然後，請參照第1C圖，藉由低壓化學氣相沈積(LPCVD)方法，並以二氯矽烷與氮氣為反應氣體，在攝氏250~400度的操作溫度下將介電材料氮化矽形成一犧牲層120覆蓋該絕緣層116以及填滿該開口118後，以化學機械研磨(CMP)以及回蝕刻移除覆蓋於該絕緣層116上的犧牲層120，並使上述犧牲層120'的高度低於該絕緣層116，如第1D圖所示。

接下來，如第1E圖所示，以與上述犧牲層之材料具有高蝕刻選擇比之材料，例如多晶矽層122順應性覆蓋該絕緣層116以及該犧牲層120'。上述多晶矽層之形成方法可

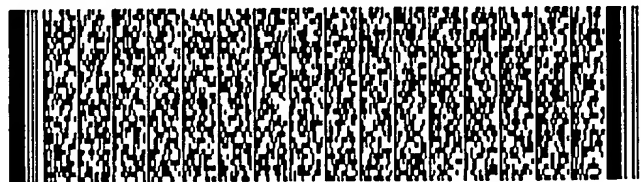


#### 五、發明說明 (5)

藉由例如低壓化學氣相沈積(LPCVD)方法，並以適當的含矽原料(例如矽烷 $\text{SiH}_4$ )在攝氏530~650度之溫度下沈積而成。接著，以前述相同微影製程定義出一開極預定區，並以蝕刻定義出貫穿上述多晶矽層以及上述犧牲層之開口119(此時開口縮小為例如 $0.09\ \mu\text{m}$ )，如第1F圖所示，上述剩餘多晶矽層為122'，而剩餘犧牲層則為保護間隙壁120'。

然後，如第1G圖所示，以例如氨水( $\text{NH}_4\text{OH}$ )藉由濕蝕刻方式移除上述剩餘多晶矽層122'後，以例如熱氧化法在露出之半導體基底形成一薄二氧化矽層作為開極介電層(未圖示)，再全面性以導電材料，例如多晶矽覆蓋該絕緣層116以及填入開口119形成多晶矽層124，並藉由化學機械研磨(CMP)以及回蝕刻方式形成如第1I圖所示之作為第一導電層124'之摻雜有N型離子的多晶矽層124'，上述多晶矽層124'可利用低壓化學氣相沈積法(LPCVD)在攝氏525~575度之間沈積而得，其厚度範圍最好在2500至5000 Å之間。對於N型元件而言，可在沈積多晶矽層時，在矽烷氣體中加入磷化氫(phosphine)或砷化三氫(arsine)進行in-situ摻雜，或者，亦可以先沈積多晶矽後，再以磷離子或砷離子進行離子佈植而成。

再者，請參照第1J圖，再次以導電材料126，例如矽化鎢( $\text{WSi}_x$ )之金屬矽化物覆蓋該絕緣層116以及填入開口119，其形成方法可利用低壓化學氣相沈積法(LPCVD)以 $\text{SiH}_4$ 或 $\text{SiH}_2\text{Cl}$  (DCS)與 $\text{WF}_6$ 為反應氣體在100~500 m Torr，



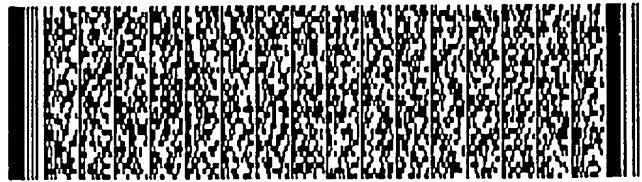
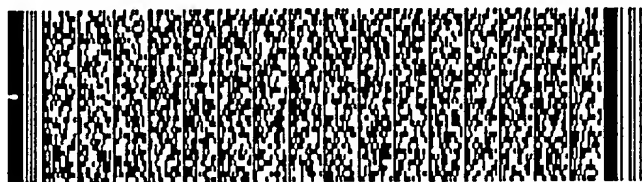
## 五、發明說明 (6)

溫度在攝氏300~600度之溫度下而形成，而其厚度範圍最好在1500至4500 Å之間，之後以化學機械研磨及回蝕刻方式形成如第1K圖所示之與上述保護間隙壁120''高度相同之第二導電層126'，第二導電層126'之高度亦可不需與保護間隙壁120''之高度相同，根據製程需要來決定。上述導電材料不限於 $WSi_x$ ，亦可使用例如鎢金屬、其他金屬矽化物等作為閘極導電層。

然後，以乾蝕刻移除上述保護間隙壁120''，而形成如第1L圖所示之第一導電層與第二導電層之堆疊結構作為鑲嵌式閘極導電層。接著，如第1M圖以例如氫氟酸(HF)或緩衝氫氟酸(BHF)移除上述絕緣層116後，對露出之半導體基底進行離子植入而形成第1N圖所示之淺摻雜區128(Lightly Doped Drain; LDD)於上述堆疊結構之兩側。上述離子植入所使用之劑量較佳為 $1 \times 10^{13}$ 至 $3 \times 10^{14} \text{ cm}^{-2}$ ；較佳能量則為10至30 keV。

接下來，以介電材料，例如氮化矽覆蓋該墊層結構而形成閘極間隙壁130後，移除墊層110'並對半導體基底進行離子植入而形成源極汲極區132，而完成鑲嵌式閘極之製作。

根據本發明之鑲嵌式閘極製程，可簡化習知的黃光製程，且蝕刻製程中無須使用硬罩幕，可大幅降低製程複雜度以及製造成本；再者，閘極線寬可縮小至 $0.10 \mu\text{m}$ 以下，因應半導體產業需求，此外閘極之間，或閘極與位元線間的殘留(stringer)容易發生短路的情形亦可避免，藉此



#### 五、發明說明 (7)

能夠提升半導體製程良率，對增加產能為一大助益。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1A～10圖為本發明之鑲嵌式閘極製程之實施例的製程剖面圖。

### 【符號說明】

- 100～半導體基底；
- 110～墊層；
- 115～蝕刻停止層；
- 112～STI；
- 114～STI保護層；
- 116～絕緣層；
- 120、120'～犧牲層；
- 120''～保護間隙壁；
- 122～多晶矽層；
- 122'～剩餘多晶矽層；
- 124'～第一導電層；
- 126'第二導電層；
- 128～LDD；
- 130～閘極間隙壁；
- 132～源極汲極區域。



## 六、申請專利範圍

1. 一種鑲嵌式閘極製程，其步驟包括：

提供一依序形成有一墊層以及一蝕刻停止層的半導體基底；

形成一絕緣層覆蓋該墊層以及該蝕刻停止層；

移除部分之該絕緣層、該蝕刻停止層以及該墊層形成一開口；

在該開口兩側壁形成保護間隙壁，且該保護間隙壁之高度低於該絕緣層；

形成一閘極導電層於該開口底部；

依序移除該保護間隙壁以及該絕緣層以露出部分半導體基底以及該蝕刻停止層；

對露出之半導體基底進行植入形成淺摻雜區於該閘極導電層之兩側；

以介電材料覆蓋該閘極導電層形成閘極間隙壁；

移除該蝕刻停止層以及該墊層而露出半導體基底；以及

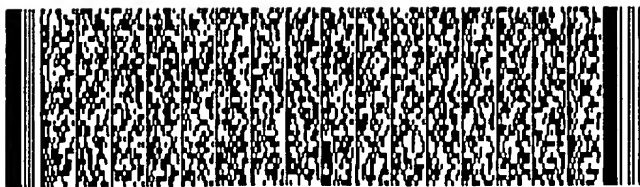
對露出之半導體基底進行植入形成源極汲極區域。

2. 如申請專利範圍第1項所述之鑲嵌式閘極製程，其中該墊層為氧化層。

3. 如申請專利範圍第1項所述之鑲嵌式閘極製程，其中該蝕刻停止層為氮化層。

4. 如申請專利範圍第1項所述之鑲嵌式閘極製程，其中該絕緣層為四乙氧基矽烷（TEOS）。

5. 如申請專利範圍第1項所述之鑲嵌式閘極製程，其



## 六、申請專利範圍

中該保護間隙壁為氮化層。

6. 如申請專利範圍第1項所述之鑲嵌式閘極製程，其中該閘極導電層為兩層導電層組成之堆疊結構。

7. 如申請專利範圍第6項所述之鑲嵌式閘極製程，其中該導電層為多晶矽、矽化鎢、金屬鎢或其他金屬矽化物。

8. 如申請專利範圍第1項所述之鑲嵌式閘極製程，其中該閘極間隙壁為氮化層。

9. 如申請專利範圍第1項所述之鑲嵌式閘極製程，還包括在形成該閘極導電層之前，於開口底部露出之半導體基底形成閘極氧化層。

10. 如申請專利範圍第1項所述之鑲嵌式閘極製程，其中該絕緣層之移除係以氫氟酸或緩衝氫氟酸進行。

11. 一種鑲嵌式閘極製程，其步驟包括：

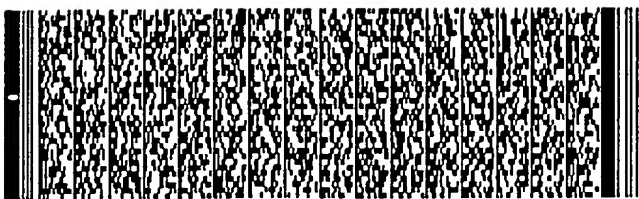
提供一形成有複數淺溝隔離（STI）結構之半導體基底，且該等淺溝隔離結構上形成有一STI保護層；

在該等淺溝隔離結構之間依序形成有一墊層以及一蝕刻停止層；

形成一絕緣層覆蓋該等淺溝隔離結構以及該蝕刻停止層；

移除部分之該絕緣層、該蝕刻停止層以及該墊層形成一開口於該等淺溝隔離結構之間；

在該開口兩側壁形成保護間隙壁，且該保護間隙壁之高度低於該絕緣層；





## 六、申請專利範圍

依序以不同導電材料形成閘極導電層於該開口底部；

依序移除該保護間隙壁以及該絕緣層以露出部分半導體基底以及該蝕刻停止層；

對露出之半導體基底進行植入形成淺摻雜區於該閘極導電層之兩側；

以介電材料覆蓋該閘極導電層形成閘極間隙壁；

移除該蝕刻停止層以及該墊層；以及

對露出之半導體基底進行植入形成源極汲極區域。

12. 如申請專利範圍第11項所述之鑲嵌式閘極製程，其中該等淺溝隔離結構為氮化層。

13. 如申請專利範圍第11項所述之鑲嵌式閘極製程，其中該STI保護層為氮化層。

14. 如申請專利範圍第11項所述之鑲嵌式閘極製程，其中該蝕刻停止層為氮化層。

15. 如申請專利範圍第11項所述之鑲嵌式閘極製程，其中該絕緣層為四乙氧基矽烷（TEOS）。

16. 如申請專利範圍第11項所述之鑲嵌式閘極製程，其中該保護間隙壁為氮化層。

17. 如申請專利範圍第11項所述之鑲嵌式閘極製程，其中該閘極間隙壁為氮化層。

18. 如申請專利範圍第11項所述之鑲嵌式閘極製程，其中該閘極導電層為兩層導電層組成之堆疊結構。

19. 如申請專利範圍第18項所述之鑲嵌式閘極製程，其中該導電層為多晶矽、矽化鎢、金屬鎢或其他金屬矽化



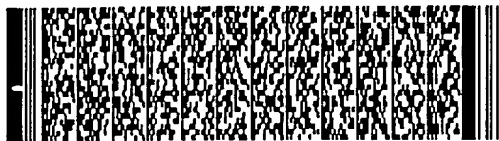
#### 六、申請專利範圍

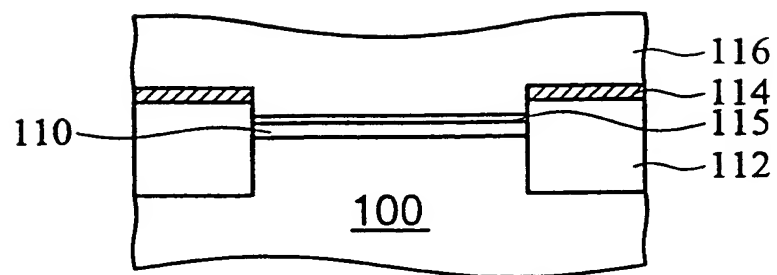
物。

20. 如申請專利範圍第11項所述之鑲嵌式閘極製程，還包括在形成閘極導電層之前，於開口底部露出之半導體基底形成閘極氧化層。

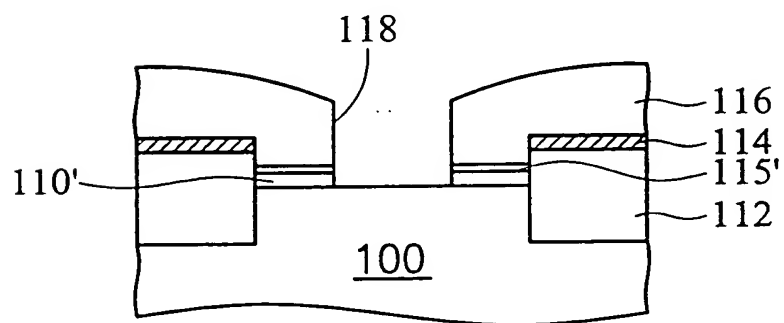
21. 如申請專利範圍第11項所述之鑲嵌式閘極製程，其中該絕緣層之移除係以氫氟酸或緩衝氫氟酸進行。

22. 如申請專利範圍第11項所述之鑲嵌式閘極製程，其中該墊層為氧化層。

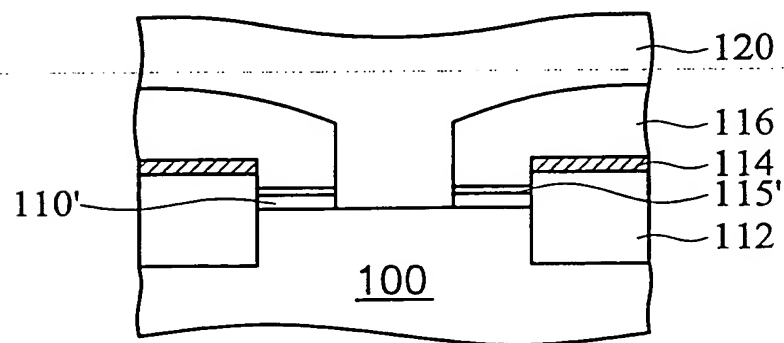




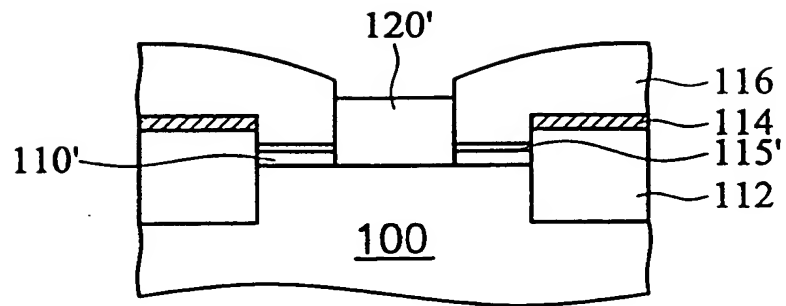
第 1A 圖



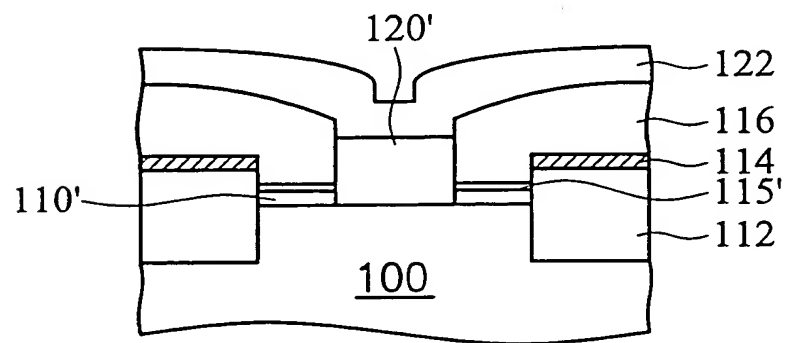
第 1B 圖



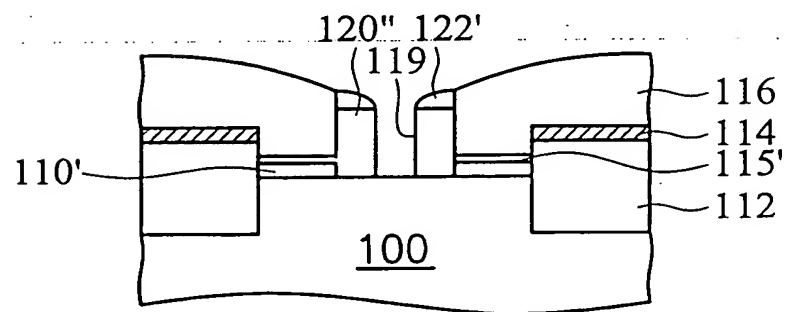
第 1C 圖



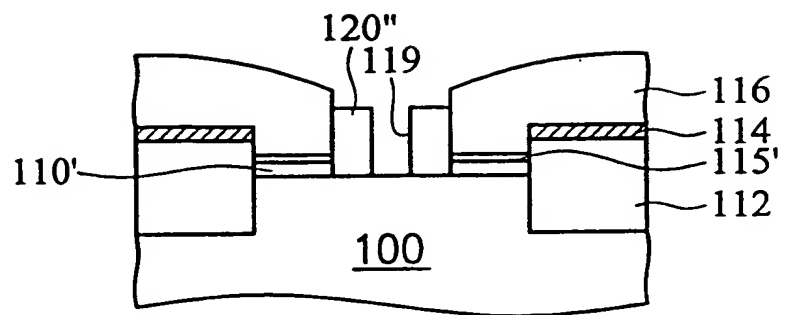
第 1D 圖



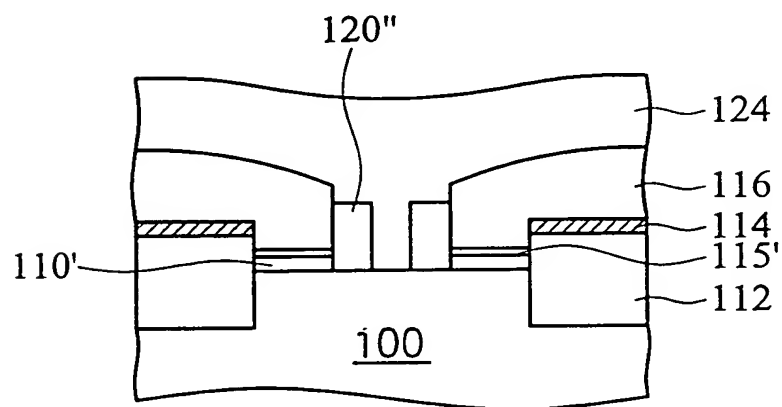
第 1E 圖



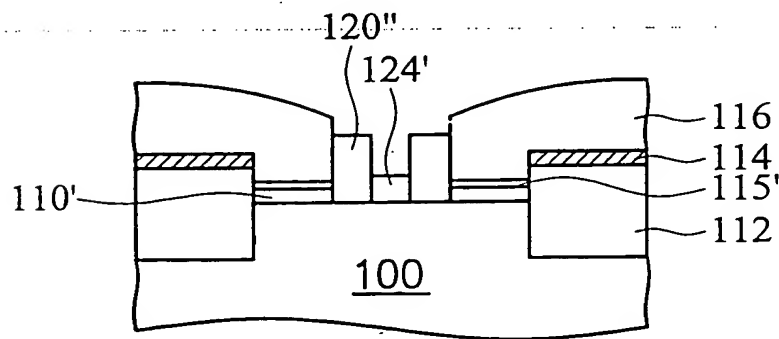
第 1F 圖



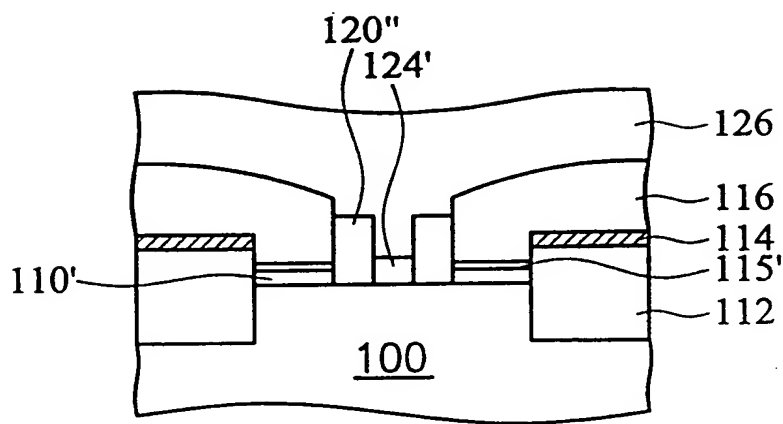
第 1G 圖



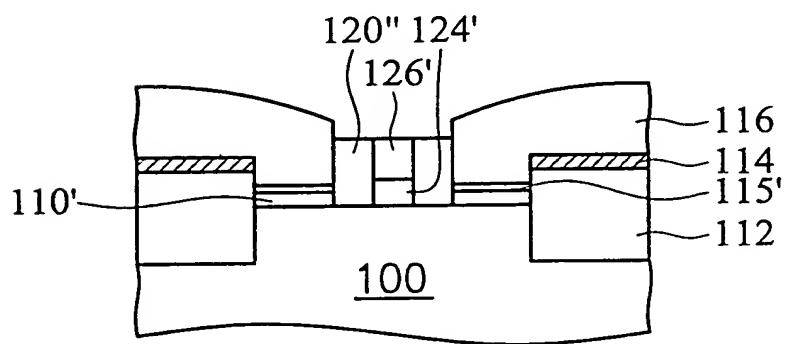
第 1H 圖



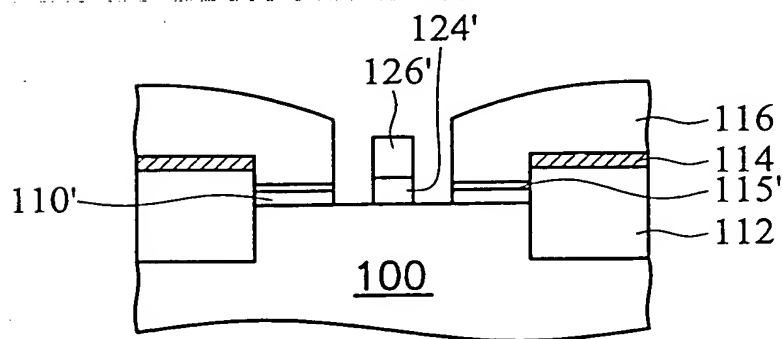
第 1I 圖



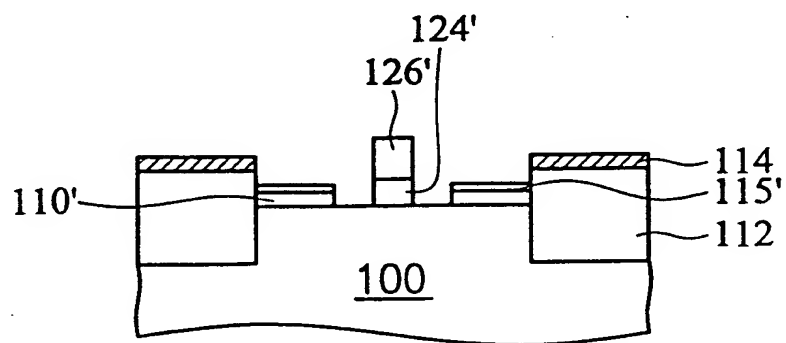
第 1J 圖



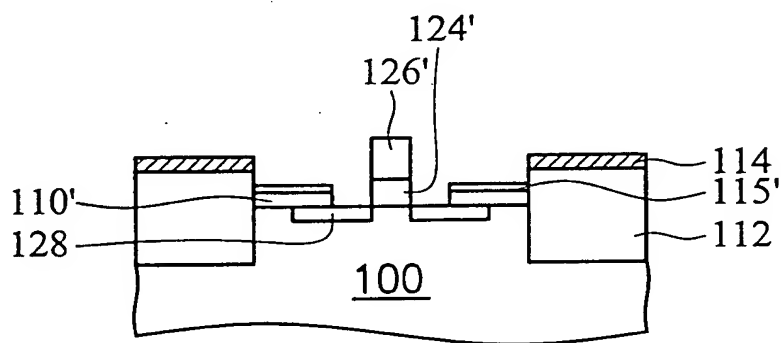
第 1K 圖



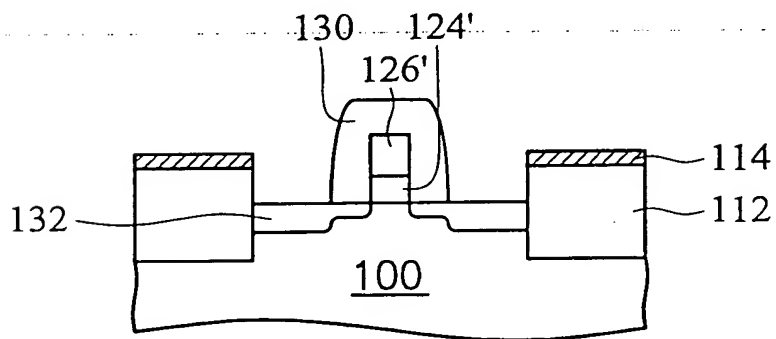
第 1L 圖



第 1M 圖

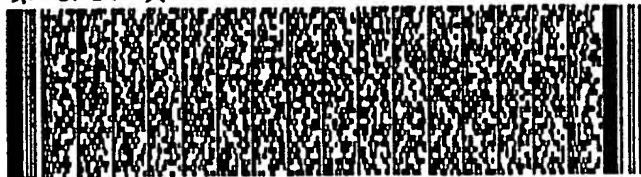


第 1N 圖



第 10 圖

第 1/17 頁



第 2/17 頁



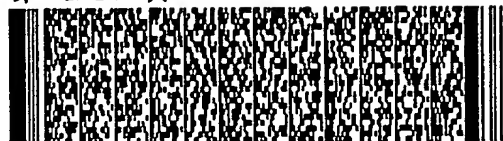
第 2/17 頁



第 3/17 頁



第 4/17 頁



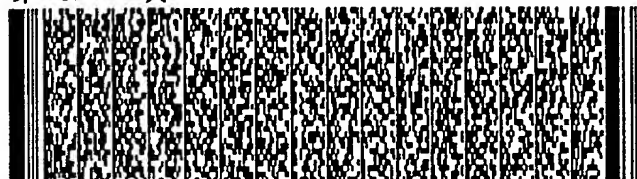
第 5/17 頁



第 6/17 頁



第 6/17 頁



第 7/17 頁



第 7/17 頁



第 8/17 頁



第 8/17 頁



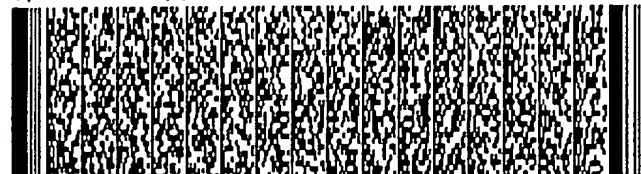
第 9/17 頁



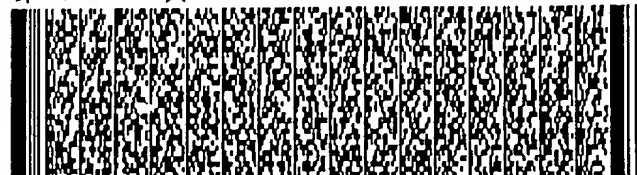
第 9/17 頁



第 10/17 頁

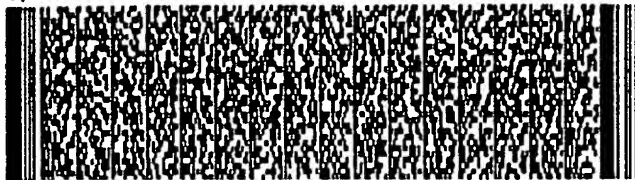


第 10/17 頁

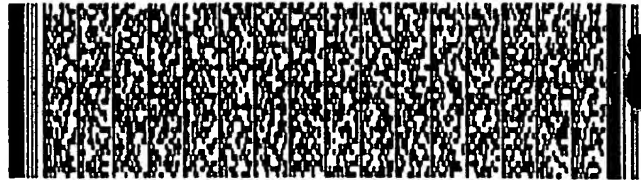




第 11/17 頁



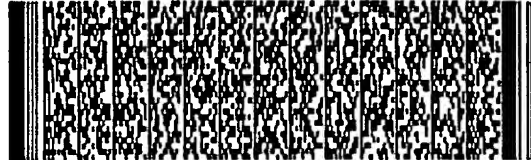
第 11/17 頁



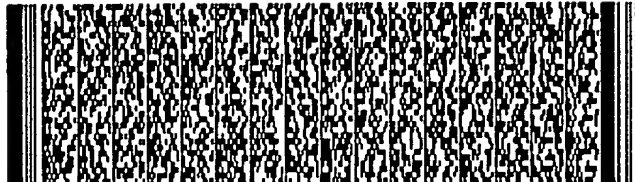
第 12/17 頁



第 13/17 頁



第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

